

УДК 004.312.26

Преобразователь двоичного кода целых чисел в двоично-десятичный код последовательностного типа

*Целовальникова О.А., студент
Россия, 105005, г. Москва, МГТУ. им. Н.Э. Баумана,
кафедра «Компьютерные системы и сети»*

*Романчиков Б.С., студент
Россия, 105005, г. Москва, МГТУ. им. Н.Э. Баумана,
кафедра «Компьютерные системы и сети»*

*Научный руководитель: Жирков В.Ф., к.т.н., доцент
Россия, 105005, г. Москва, МГТУ. им. Н.Э. Баумана,
кафедра «Компьютерные системы и сети»
wgurenko@bmstu.ru*

В ЭВМ и вычислительных устройствах при выводе информации двоичные числа сначала преобразуются в двоично-десятичные, а затем в десятичные. Для кодирования десятичных цифр чаще всего применяется двоично-десятичный код (ДДК) 8421. В ДДК 8421 целое десятичное число имеет изображение:

$$A_{2-10}^{\text{ц}} = \alpha_{n-1}\alpha_{n-2} \dots \alpha_0,$$

где $\alpha_{n-1}, \alpha_{n-2}, \dots, \alpha_0$ – двоичные тетрады 0000, 0001, ..., 1001, изображающие десятичные цифры 0, 1, ..., 9 соответственно. Тетрады 1010, 1011, ..., 1111 не используются и называются псевдотетрадами. Цифры 8, 4, 2, 1 в обозначении ДДК – это веса разрядов двоичной тетрады.

Перевод двоично-десятичных чисел в десятичные выполняется путем простой замены двоично-десятичных тетрад числа на соответствующие десятичные цифры.

Целое двоичное число имеет вид:

$$A_2^{\text{ц}} = b_{k-1} \cdot 2^{k-1} + b_{k-2} \cdot 2^{k-2} + \dots + b_1 \cdot 2 + b_0 = b_{k-1}b_{k-2} \dots b_1b_0. \quad (1)$$

Его перевод в двоично-десятичное число может быть выполнен по алгоритму, который определяется из записи числа $A_2^{\text{ц}}$ по схеме Горнера [1-3]:

$$A_2^{\text{ц}} = (\dots ((0 + b_{k-1}) \cdot 2 + b_{k-2}) \cdot 2 + \dots + b_1) \cdot 2 + b_0. \quad (2)$$

В (1) и (2) $b_{k-1}, b_{k-2}, \dots, b_1, b_0$ – цифры разрядов целого числа, равные 0 или 1, k – количество разрядов, 2 – основание двоичной системы счисления.

Из (2) следует, что перевод двоичного кода (ДК) целого числа в ДДК сводится к k -кратному выполнению операции суммирования и $(k-1)$ -кратному выполнению операций умножения на 2. Преобразование начинается со старшего разряда двоичного числа. После первого сложения получаем $0 + b_{k-1} = b_{k-1}$ (начальное значение суммы равно нулю), после первого умножения $- b_{k-1} \cdot 2$. После второго сложения получим сумму $(b_{k-1} \cdot 2 + b_{k-2})$, после второго умножения $- (b_{k-1} \cdot 2 + b_{k-2})2$ и т.д.. В последнем k -м такте выполняется только сложение произведения, полученного в $(k-1)$ -м такте, и младшего разряда b_0 . Умножение на 2 в k -м такте, как следует из (2), не требуется. Операции должны выполняться в десятичной системе счисления над ДДК чисел.

При реализации данного алгоритма аппаратными средствами последовательного типа умножение на 2 сводится к сдвигу ДДК числа в десятичном регистре влево (в сторону старших разрядов) на одну двоичную позицию и коррекции результата после сдвига. [4-6].

Согласно (2) двоичное число, начиная со старшего разряда, последовательно вводится в десятичный регистр со стороны младшего двоичного разряда младшей тетрады. При сдвиге цифры в тетрадах с весами 4, 2, 1 приобретают веса 8, 4, 2, т.е. происходит умножение весов этих разрядов на 2.

Одновременно со сдвигом в освобождающийся младший двоичный разряд регистра вводится очередная цифра двоичного числа. Тем самым совмещается во времени выполнение операции умножения на 2 числа в регистре и операции сложения с очередным разрядом двоичного числа.

После каждого сдвига число в десятичном регистре следует корректировать, если в результате сдвига возникает псевдотетрада или из какой-либо тетрады единица переходит в другую тетраду. В первом случае при значениях тетрад 0101, 0110 или 0111 после сдвига возникают псевдотетрады 1010, 1100, 1110, если из соседней младшей тетрады в данную поступает 0, или 1011, 1101, 1111, если из младшей тетрады в данную поступает 1. Возникающие псевдотетрады должны корректироваться увеличением их на $b_{10} = 0110_2$ с передачей единицы переноса в следующую старшую тетраду. Во втором случае, который наступает, если значения тетрад до сдвига 1000 или 1001, единица при переходе из этих тетрад в старшую должна увеличивать свое разрядное значение с 8 до 16, но она приобретает значение, равное только 10 того двоично-десятичного разряда, из которого она поступила. Поэтому для коррекции ДДК числа к тетрадам, из которых при сдвиге происходит переход единицы в соседние тетрады, нужно прибавить $b_{10} = 0110_2$.

В обоих случаях коррекцию целесообразно проводить не после, а до сдвига путем прибавления к соответствующей тетраде $3_{10} = 0011_2$. Коррекция не требуется, если значение тетрады меньше или равно $4_{10} = 0100_2$, так как после сдвига не возникнут псевдотетрады и не произойдет переход из этой тетрады в следующую старшую. Коррекция необходима, если значение тетрады перед сдвигом больше $4_{10} = 0100_2$.

Элементарный преобразователь (ЭП), корректирующий один двоично-десятичный разряд, должен иметь четыре входа и четыре выхода и выполнять функцию:

$$Y = \begin{cases} X, & \text{если } 0 \leq X \leq 4, \\ X + 3, & \text{если } 5 \leq X \leq 9, \end{cases} \quad (3)$$

где $X = (x_4x_3x_2x_1)$, $Y = (y_4y_3y_2y_1)$ – двоичные тетрады; x_4, y_4 – старшие разряды тетрад.

Условное графическое обозначение (УГО) ЭП одного двоично-десятичного разряда показано на рис. 1.

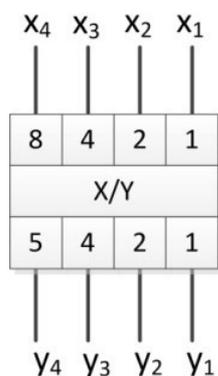


Рис. 1. Условное графическое обозначение ЭП одного двоично-десятичного разряда

Преобразователь последовательностного типа (ППТ) многоразрядного двоичного числа должен содержать два регистра: десятичный регистр и двоичный регистр сдвига. Первый предназначен для хранения двоично-десятичного кода числа, образующегося в процессе преобразования. Этот регистр, по сути, является обычным двоичным регистром, условно разделенным на секции по четыре двоичных разряда в каждой. Каждая секция служит для хранения ДДК одного десятичного разряда числа. Поэтому этот регистр назван десятичным. Двоичный регистр сдвига позволяет производить параллельную загрузку преобразуемого двоичного числа и его последовательностный вывод, начиная со старшего разряда.

В качестве примера на рис. 2 показана функциональная схема ППТ 16-разрядного двоичного числа. Устройство управления (УУ) при получении сигнала команды преобразования (Пр) формирует сигналы переключения двоичного регистра сдвига в режим параллельной загрузки или сдвига, сигнал сброса десятичного регистра и группу из

16 импульсов, управляющих сдвигом числа в двоичном регистре и параллельной загрузкой в десятичный регистр. Выдвигающийся бит из двоичного регистра вводится в младший разряд десятичного регистра.

Входы параллельной загрузки десятичного регистра смещены влево на одну двоичную позицию относительно выходов ЭП. Тем самым в одном такте совмещается сдвиг и параллельная загрузка выходной информации ЭП в десятичный регистр.

Такая организация связей в данной схеме ППТ является оптимальной с точки зрения времени преобразования, так как на преобразование одного разряда двоичного числа затрачивается только один тактовый период импульсов сдвига.

Так как согласно алгоритму преобразования коррекция двоично-десятичного числа должна выполняться до сдвига, выходы разрядов двоичного регистра соединены со входами ЭП этих разрядов.

Через 16 тактов импульсов сдвига в десятичном регистре образуется ДДК преобразуемого двоичного числа.

Десятичный регистр должен содержать 5 двоично-десятичных разрядов, т.е. 20 двоичных разрядов.

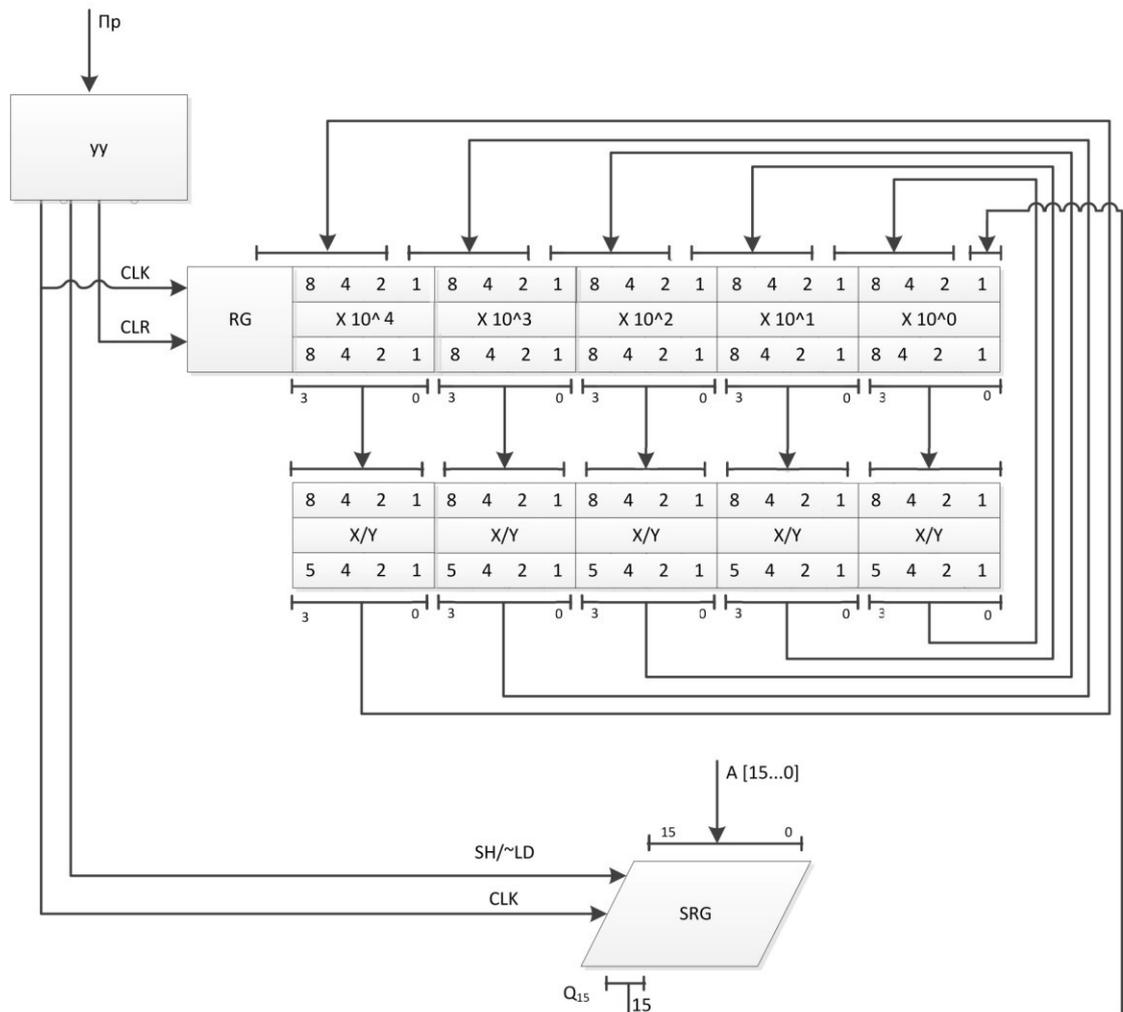


Рис. 2. Функциональная схема ППТ 16-разрядного ДК целого числа в ДДК

Положительными качествами ППТ являются простота и однородность построения схемы, наращиваемости разрядности. При увеличении разрядности преобразуемых чисел следует соответственно увеличить разрядности десятичного и двоичного регистров, а также количество ЭП и число импульсов сдвига, формируемых устройством управления.

ППТ 16-разрядного целого числа был синтезирован в ПЛИС фирмы Xilinx семейства Spartan 3 (архитектура FPGA). Моделирование показало, что время задержки распространения в цепи последовательно соединенных разрядов десятичного регистра и ЭП и в линиях связи не превышает 10 нс. При тактовой частоте 100 МГц собственно время преобразования составляет 160 нс, а с учетом начальной установки в нуль десятичного регистра и загрузки двоичного регистра время преобразования не превышает 200 нс.

Данный ППТ можно реализовать на интегральных схемах (ИС) средней и малой степени интеграции, например, серии 54/74АС фирмы Texas Instruments, в которой имеются требуемые функциональные узлы и логические элементы.

Для построения операционной части ППТ требуются:

1. Две ИС 74АС166 в качестве двоичного регистра, каждая из которых представляет 8-разрядный регистр сдвига с параллельным вводом и последовательным выводом информации и асинхронной установкой в нуль.
2. Три ИС 74АС273, каждая из которых представляет собой 8-разрядный двоичный регистр с параллельным вводом-выводом информации и асинхронной установкой в нуль.
3. Пять ИС 74АС283, каждая из которых является 4-разрядным полным двоичным сумматором с параллельным переносом.
4. Пять ИС 74АС27, каждая из которых содержит три логических элемента ЗИЛИ-НЕ.

Всего для построения операционной части ППТ 16-разрядного целого числа требуется 15 ИС. 4-разрядный двоичный сумматор (ИС 74АС283) и логические элементы ИЛИ-НЕ (ИС 74АС27) служат для построения ЭП, выполняющего функцию (3). Если $0 \leq X = (x_4x_3x_2x_1) \leq 4$, то число X передается через сумматор без изменения. Если $5 \leq X = (x_4x_3x_2x_1) \leq 9$, то к числу прибавляется $3_{10} = 0011_2$. Следовательно, на входы a_4, a_3, a_2, a_1 сумматора нужно подать переменные x_4, x_3, x_2, x_1 соответственно. На входы b_3, b_2 - логический нуль, на входы b_1, b_0 - функцию:

$$f(x_4x_3x_2x_1) = \begin{cases} 0, & \text{если } 0 \leq X \leq 4, \\ 1, & \text{если } 5 \leq X \leq 9, \end{cases} \quad (4)$$

Минимальная конъюнктивная нормальная форма (КНФ) функции $f(x_4x_3x_2x_1)$ с учетом неиспользуемых наборов переменных равна:

$$f(x_4x_3x_2x_1) = (x_4 \vee x_3)(x_4 \vee x_2 \vee x_1). \quad (5)$$

Для реализации (5) в базисе функции ИЛИ-НЕ (6) требуется одна ИС 74АС27.

$$f(x_4x_3x_2x_1) = \overline{\overline{x_4 \vee x_3 \vee x_4 \vee x_2 \vee x_1}} \quad (6)$$

Функциональная схема ЭП приведена на рис. 3. УГО ЭП показано на рис. 1.

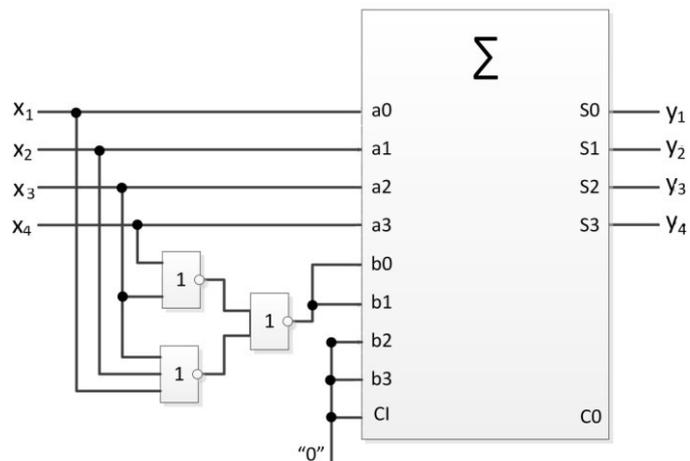


Рис. 3. Функциональная схема ЭП

Применение ИС серии 74АС (“отечественная серия” КР1554) КМОП-логики позволяет обеспечить малую потребляемую мощность при достаточно высоком быстродействии.

Функциональная схема устройства управления приведена на рис. 4 и содержит функциональные узлы выделения первого тактового интервала генератора GN после фронта команды преобразования Пр (синхронные D-триггеры Т₁, Т₂, ЛЭ₂ и ЛЭ₃), формирования группы GS 16-ти импульсов тактового генератора, сигнала R установки в нуль десятичного регистра и LD (Load) загрузки двоичного регистра сдвига и выбора режима М «Разрешение загрузки/Сдвиг» (синхронные D-триггеры Т₃, Т₄, ЛЭ₄, ЛЭ₅ и синхронный 5-разрядный двоичный счетчик CTR 5).

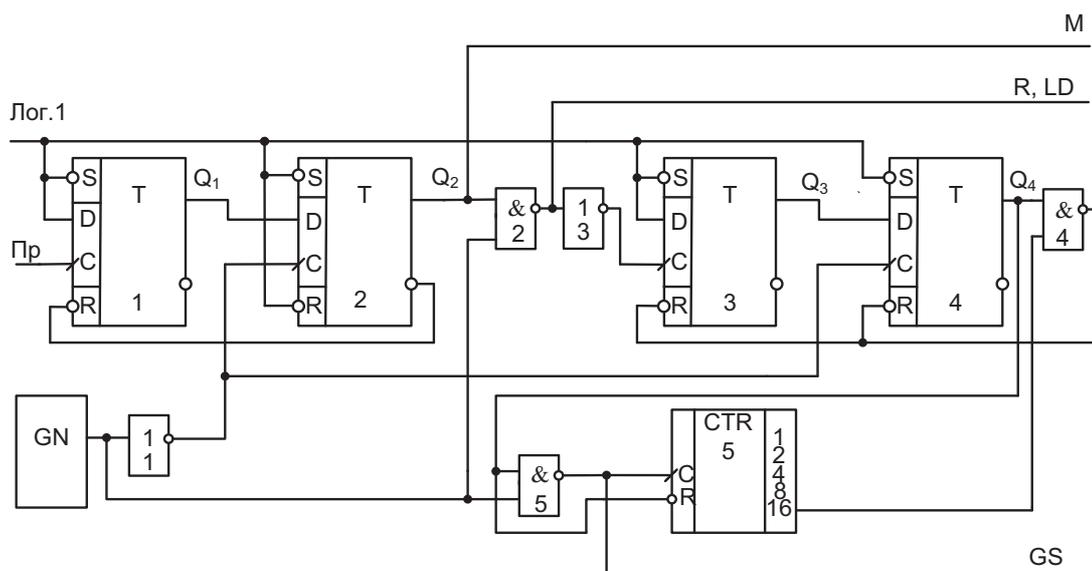


Рис. 4. Функциональная схема устройства управления

Временная диаграмма сигналов схемы управления приведена на рис. 5.

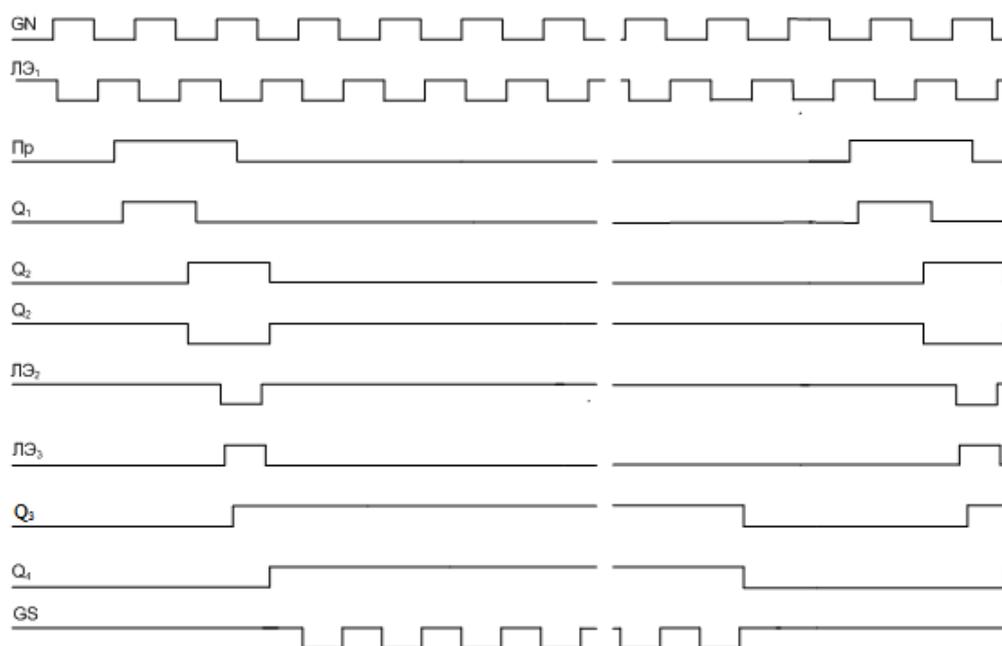


Рис. 5. Временная диаграмма сигналов устройства управления

Моделирование ППТ с целью проверки функционирования было выполнено с помощью пакета программ NI Multisim 12, использовались ИС серии 74НС, имеющиеся в библиотеке элементов и узлов данного пакета программ моделирования цифровых устройств. Серия 74НС содержит все требуемые ИС, аналогичные по функциональному назначению серии 74АС. ИС серии 74АС имеют меньшие времена задержек распространения по сравнению с ИС серии 74НС.

ППТ, построенный на ИС 74АС, способен работать на тактовой частоте 10 МГц. Время собственно преобразования 16-разрядного двоичного числа составляет 1600 нс, а с учетом формирования сигналов управления – 2000 нс.

ППТ 16-разрядного целого числа был синтезирован в ПЛИС фирмы Xilinx семейства Spartan 3 (архитектура FPGA). Моделирование показало, что время задержки распространения в цепи последовательно соединенных разрядов десятичного регистра и ЭП и в линиях связи не превышает 10 нс. При тактовой частоте 100 МГц собственно время преобразования составляет 160 нс, а с учетом начальной установки в нуль десятичного регистра и загрузки двоичного регистра время преобразования не превышает 200 нс.

Список литературы

1. Дроздов Е.А., Комарицкий В.А., Пятибратов А.П. Электронные вычислительные машины Единой системы. 2-е изд., перераб. и доп. М.: Машиностроение, 1981. 648 с.
2. Уэйкерли Дж. Ф. Проектирование цифровых устройств. В 2 т. Т 1. М.: Постмаркет, 2002. 544 с.
3. Титце У., Шенк К. Полупроводниковая схемотехника: справочное руководство. Пер. с нем. М.: Мир, 1983. 512 с., ил.
4. Карцев М.А. Арифметика цифровых машин. М.: Главная редакция физико-математической литературы издательства «Наука», 1969. 576 с.
5. Жирков В.Ф., Ходин В.В. Алгоритм преобразования двоично-десятичного кода правильных дробей в двоичный код и его реализация аппаратными средствами комбинационного типа // Вестник МГТУ им. Н. Э. Баумана. Сер. Приборостроение. 2012. Спец. Вып. №4 «Компьютерные системы и технологии». С. 97-105.
6. Жирков В.Ф., Маслов И.Д. Сравнительная оценка алгоритмов перевода и построение комбинационных преобразователей двоичного кода целых чисел в двоично-десятичный код и двоично-десятичного кода правильных дробей в двоичный код на ПЛИС // Инженерный журнал: Наука и инновации. 2013. №11. Режим доступа: <http://tngjournal.ru/catalog/it/hidden/1067/html/> (дата обращения 24.05.2014).
7. Преснухин Л.Н., Воробьев Н.В., Шишкевич А.А. Расчет элементов цифровых устройств / под ред. Л.Н. Преснухина. 2-е изд., перераб. и доп. М.: Высшая школа, 1991. 526 с.
8. Новиков Ю.В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования. М.: Мир, 2001. 379 с.