

Использование треллис-модуляции в цифровых высокоскоростных системах связи для повышения помехоустойчивости сигнала

06, июнь 2014

Ветрова Н. А., Любимова М. В.

УДК: 608.2

Россия, МГТУ им. Баумана

natasha_vetrova@mail.ru

Mary.lubimova@gmail.com

Введение

В цифровых системах связи обычно повышают скорость передачи данных путем уменьшения энергетической емкости бита, т.е. количества энергии сигнала, приходящейся на один бит информации. Но чем меньше энергия, тем больше вероятность того, что бит будет искажен в канале при передаче. Поэтому при повышении скорости передачи разработчики всегда сталкиваются со снижением уровня помехоустойчивости.

Для повышения помехоустойчивости канала передачи данных в цифровых системах применяются коды, исправляющие ошибки. Однако действие таких кодов не всегда эффективно, так как снижается скорость передачи данных.

Треллис-модуляция (ТСМ – Trellis Coded Modulation) представляет собой способ, который позволяет обеспечить повысить скорость передачи сообщения с сохранением уровня помехоустойчивости. Этот способ отличается тем, что помехоустойчивое кодирование и тип модуляции используются совместно. Выбранная соответствующим образом пара помехоустойчивый код – способ модуляции часто также носит название сигнально-кодовая конструкция (СКК).

В данной работе описан способ включения сверточного кодека, используемого для передачи данных с помощью радиорелейных систем связи, в режим треллис-модуляции. Такой способ повышает скорость передачи в два раза при сохранении уровня помехоустойчивости.

1. Расчет изменения скорости передачи данных при переходе в режим треллис-модуляции

Для кодирования использован один из наиболее часто употребляемых сверточных кодов – код (171,133,7), который кодирует последовательность со скоростью:

$$RC = \frac{k}{n} = \frac{1}{2}, \quad (1)$$

где k – количество символов в исходной, информационной, n – количество символов в закодированной последовательности. В качестве модуляции сигнала в системе применяется фазовая манипуляция QPSK (Quadrature Phase Shift Keying – квадратурная фазовая манипуляция) (см. рис.1).

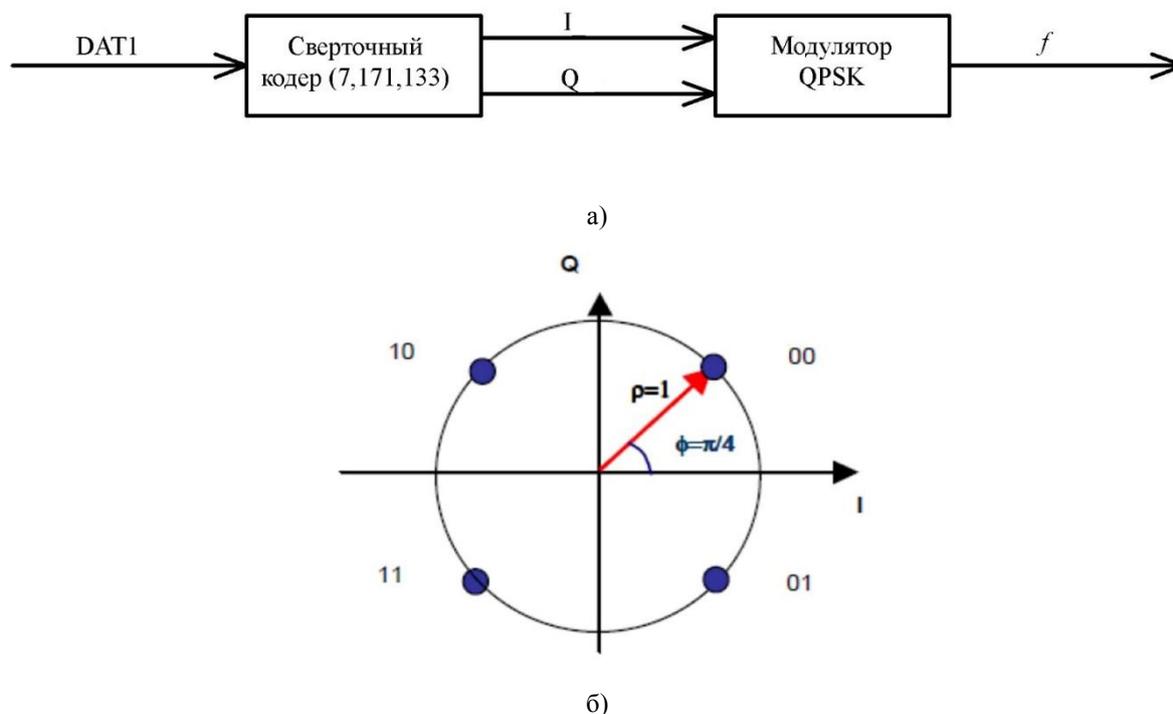


Рис.1. а) Реализация исходной сигнально-кодовой конструкции; б) Диаграмма состояний сигнала при QPSK – модуляции.

Эта СКК обладает высоким уровнем помехоустойчивости. Скорость передачи R_{QPSK} такой конструкции:

$$R_{QPSK} = R_{исх} \cdot RC \cdot \gamma_{QPSK} = R_{исх} \cdot \frac{1}{2} \cdot 2 = R_{исх}, \quad (2)$$

где $R_{исх}$ – скорость передачи исходной цифровой последовательности, RC – скорость помехозащитающего кода, γ_{QPSK} – частотная эффективность модуляции QPSK.

Как видно из (2), примененная СКК не изменяет скорости передачи данных.

Для повышения скорости сигнала применим треллис-модуляцию, представляющую собой СКК сверточный код со скоростью $RC = 2/3$ + модуляция 8PSK ($\gamma_{8PSK} = 3$ бит/Гц•с). Такое сочетание предлагается в [1]. Тогда:

$$R_{TCM} = R_{исх} \cdot RC \cdot \gamma_{8PSK} = R_{исх} \cdot \frac{2}{3} \cdot 3 = 2R_{исх}, \quad (3)$$

т.е. благодаря применению такой СКК скорость передачи увеличивается в два раза.

2. Включение сверточного кодера в режим треллис-модуляции

В данной работе исходная СКК включается в режим треллис-модуляции. Для этого, в частности, изменяется цифровая часть модема, реализованная на ПЛИС фирмы Xilinx. Для декодирования используется программное ядро Viterbi Decoder v6.2, реализующее декодирование по алгоритму Витерби.

При разработке схемы включения применена технология [1], согласно которой для кодирования используется сверточный код со скоростью $RC=1/2$ (см. рис.2, а). Входной поток DAT1 кодируется с помощью сверточного кодера со скоростью $1/2$. Таким образом, на выходе кодера из одного потока получаем два (I и Q). Второй входной поток DAT2 не кодируется и на выходе кодера получает наименование T. В совокупности каждые три бита (T, I, Q) определяют одно из 8-ми состояний сигнала на диаграмме рис. 2, б), причем бит T считается старшим, а I и Q – младшими значащими битами. Модулированный сигнал имеет следующий вид:

$$\psi = A \cos(2\pi f_c t + \theta), \quad (4)$$

где A – амплитуда сигнала (остается постоянной), f_c – промежуточная частота, θ – фаза сигнала, изменяющаяся в соответствии с диаграммой состояний рис.2, б), причем:

$$\theta = (T \cdot 180^\circ) + (I \cdot 90^\circ) + ((I - Q)^2 \cdot 45^\circ). \quad (5)$$

Таким образом, два младших бита I и Q определяют один из секторов в верхней и нижней половинах диаграммы состояний рис.2 б), а старший бит T определяет, в какой из этих половин находится переданное состояние.

Биты I и Q кодируются помехоустойчивым кодом, поэтому правильность их приема гарантируется характеристиками этого кода. На диаграмме рис.2 б) эти биты расположена по коду Грея, что позволяет минимизировать вероятность ошибки при демодуляции. Бит T, несмотря на то, что передается незакодированным, тем не менее имеет низкую вероятность ошибочного приема, т.к. разность фаз между значениями 1 и 0 для этого сигнала составляет 180° .

Декодирование сигнала происходит следующим образом. Принимаемый сигнал имеет вид:

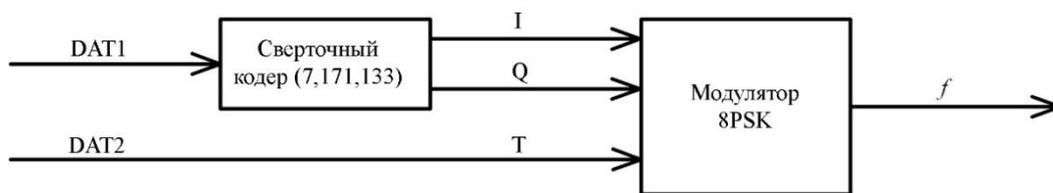
$$\hat{\psi} = A \cos(2\pi f_c t + \hat{\theta}), \quad (6)$$

где $\hat{\theta}$ – фаза сигнала с учетом сдвига, возникающего при передаче в канале.

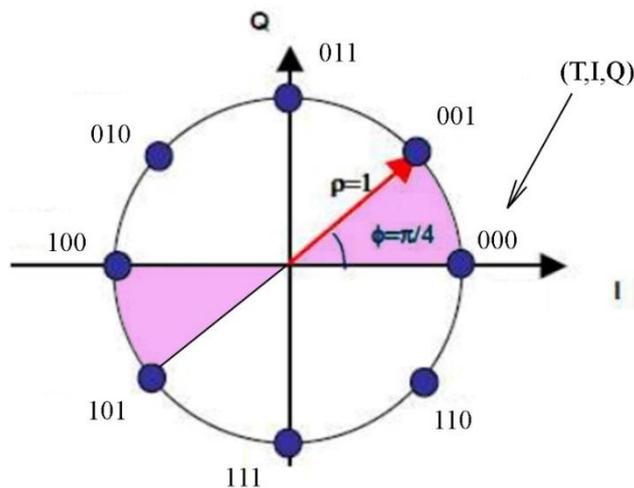
Приемный конвертер модема выделяет из этого сигнала две компоненты I и Q, так, что:

$$\hat{\psi} = I \cos(2\pi f_c t) + Q \sin(2\pi f_c t), \quad (7)$$

после чего I и Q преобразуются в два цифровых сигнала, так, что на каждому передаваемому символу соответствуют 8 бит сигнала I и 8 бит сигнала Q. Значение этих сигналов зависит от качества приема каждого символа.



а)



б)

Рис.2. а) Способ повышения скорости передачи с помощью треллис-модуляции; DAT1, DAT2 – потоки абонентской информации, I, Q, T - сигналы после обработки в кодерах, f – модулированный сигнал; б) Диаграмма состояний сигнала при 8PSK – треллис-модуляции

Для декодирования последовательности используется декодер Витерби, включенный в режиме треллис-модуляции (см. рис.3). Особенностью этого режима является то, что на вход декодера подаются не два закодированных потока, как это происходит при обычном декодировании, а 4 метрики путей (V00, V01, V11, V10) и указатель сектора (Sector) для каждого декодируемого символа.

Проанализировав полученные метрики путей на протяжении всего кодового ограничения, декодер Витерби принимает решение о значении исходного символа передаваемой последовательности DAT1. Затем полученные последовательности снова кодируются с помощью сверточного кодера, и значение на выходе кодера сопоставляется с значением указателя сектора, полученного от преобразователя фазы. Из рис.2, б) видно, что для каждой пары младших бит I и Q существует два противоположных сектора векторной диаграммы. В результате сравнения выбирается тот сектор, который расположен ближе к сектору, соответствующему указателю сектора. Так определяется последний, старший бит T исходной последовательности (DAT2).

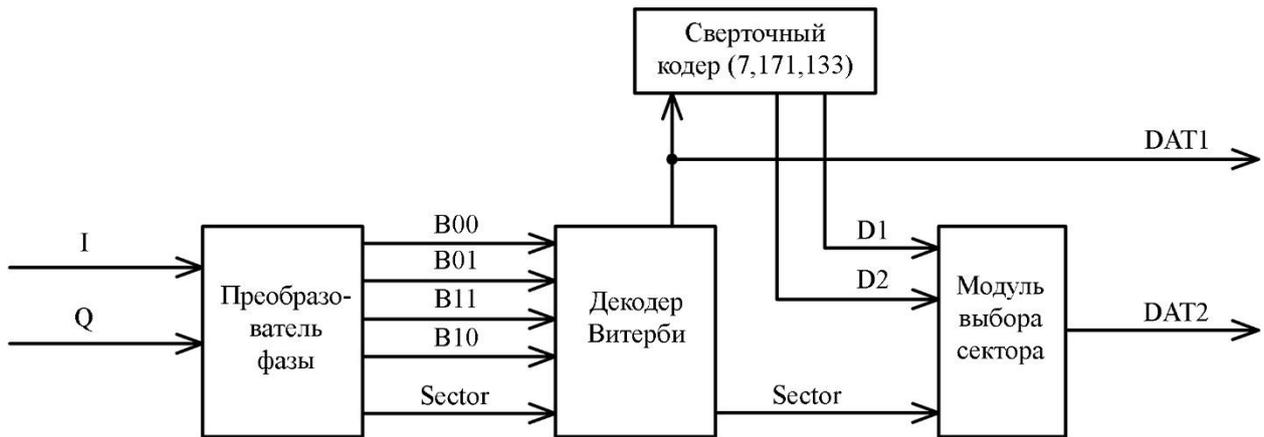


Рис.3. Схема включения декодера Витерби в режиме треллис-модуляции; I, Q – оцифрованные потоки от модулятора; B00, B01, B11, B10 – метрики путей для декодера Витерби, Sector – указатель сектора; DAT1, DAT2 – декодированные потоки абонентской информации; D1, D2 – поток DAT1, закодированный сверточным кодером.

На рис. 4 представлена временная диаграмма, иллюстрирующая работу сверточного кодера в режиме треллис-модуляции.

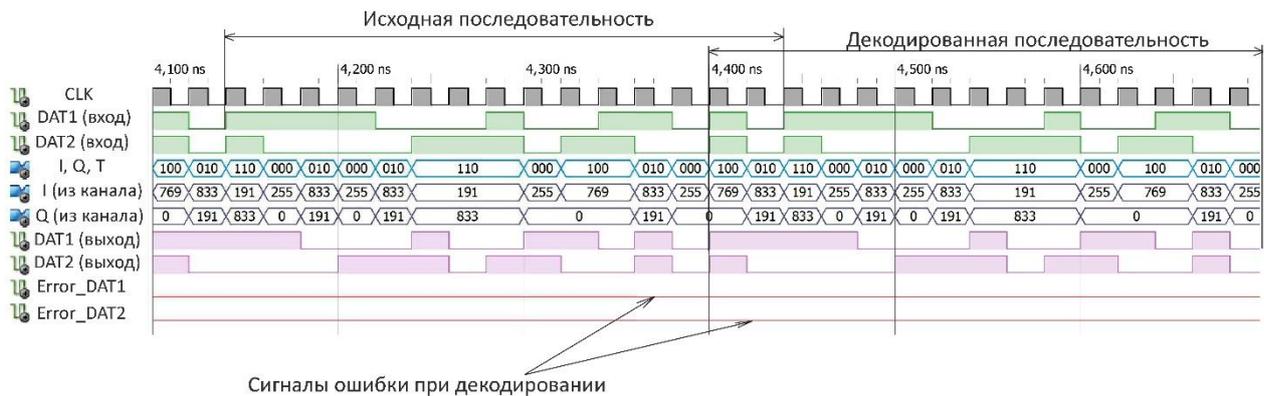


Рис.4. Временная диаграмма работы сверточного кодера в режиме треллис-модуляции

Временная диаграмма получена с помощью моделирования проекта стенда, разработанного в САПР ISE Design Suite 14.4. Моделирование производится в симуляторе ISim P.49d. Сигнал CLK – тактовый сигнал, подаваемый на вход генератора псевдослучайной последовательности. Исходными последовательностями являются сигналы DAT1 и DAT2 с пометкой «вход». Эти сигналы преобразуются с помощью кодера на рис.2,а) в три сигнала I, Q, T, и после модуляции и демодуляции попадают на вход декодера в виде весовой оценки векторов I и Q (с пометкой «из канала», рис.4). Если декодированные последовательности DAT1 и DAT2 с пометкой «выход» не совпадают с исходными, то на выходах стенда Error_DAT1 и Error_DAT2 появляется высокий уровень сигнала.

Существует еще много различных вариантов сигнально-кодовых конструкций, которые работают в режиме треллис-модуляции. На рис.5 представлена зависимость вероятности битовых ошибок BER от отношения сигнал/шум E_b/N_0 для треллис-модуляции с $RC=2/3$ и 8PSK и для треллис-модуляции с $RC=3/4$ и 16PSK.

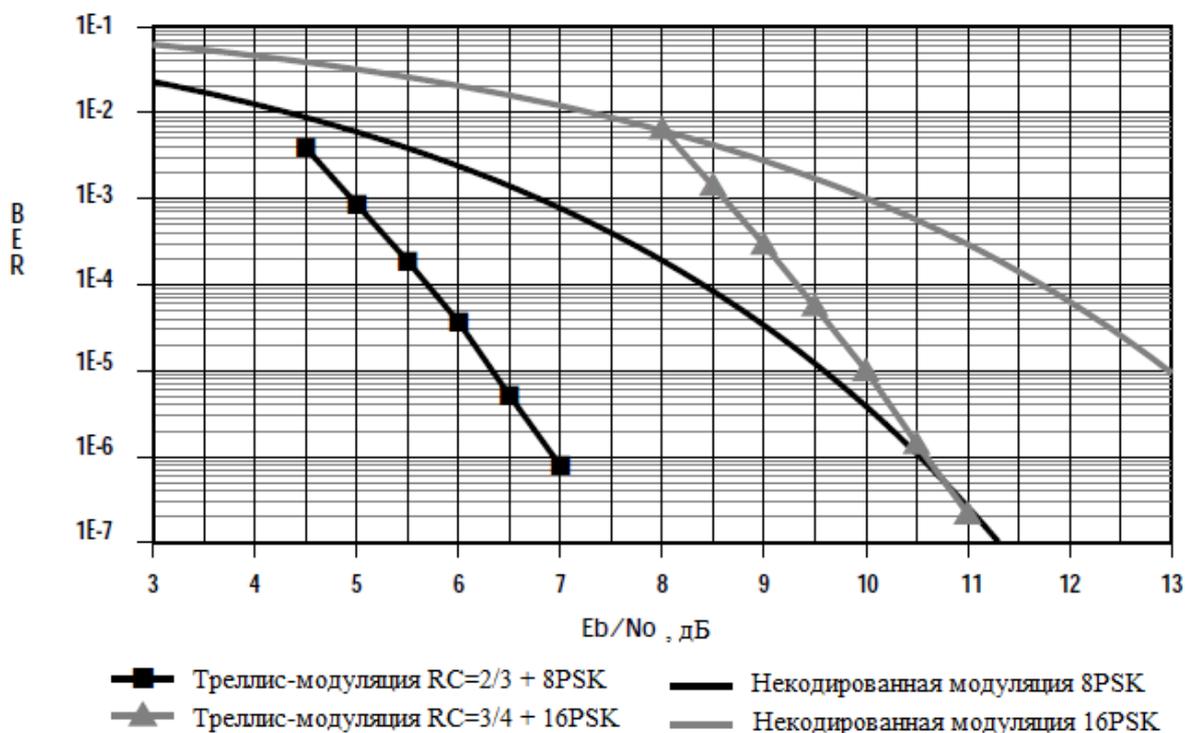


Рис.5. График зависимости вероятности битовых ошибок BER от отношения сигнал/шум E_b/N_0

Из графика рис.5 видно, что по сравнению с некодированной 8PSK этот способ модуляции дает преимущество в 3 дБ, что эквивалентно использованию сверточного кода с $RC=1/2$ по уровню помехоустойчивости [2] Однако при этом из формул (2) и (3) видно, что скорость передачи больше в два раза при использовании режима треллис-модуляции.

Заключение

Таким образом, в данной работе на примере сверточного кодирования были рассмотрены преимущество и технология применения треллис-модуляции для повышения скорости передачи данных. Проект выполнен на ПЛИС фирмы Xilinx и промоделирован в САПР ISE Design Suite 14.4.

Переход в режим треллис-модуляции позволил сохранить тот же уровень помехоустойчивости (3 дБ) при увеличении скорости передачи информации в 2 раза. Это достигается с помощью совместного использования сверточного кода со скоростью $2/3$ и фазовой манипуляции 8PSK согласно технологии [1]. Использование треллис-модуляции является простым и эффективным решением для повышения скорости передачи в цифровых высокоскоростных системах связи.

Список литературы

1. Zehavi E. Viterbi Decoder Bit Efficient Chainback Memory Method and Decoder Incorporating Same: Patent No. 5.469.452, US, 1995. Appl. No.:767.167. Pp. 18.
2. Песков С.Н., Ищенко А.Е. Расчет вероятности ошибки в цифровых каналах связи // Теле-Спутник. 2010. №11. С. 70–75.
- 3.