

УДК 004.312.26

Преобразователь двоичного кода правильных дробей в двоично-десятичный код на ПЛИС фирмы Xilinx

Пешков А.А., студент

*Россия, 105005, г. Москва, МГТУ им. Н.Э. Баумана,
кафедра «Компьютерные системы и сети»*

Научный руководитель: Жирков В.Ф.,

*Россия, 105005, г. Москва, МГТУ им. Н.Э. Баумана
jirkovvf@bmstu.ru*

Задача преобразования цифровой информации из двоичной системы счисления в двоично-десятичную и затем в десятичную возникает при ее выводе из цифрового устройства.

Простейшим двоично-десятичным кодом (ДДК) является, так называемый, код 8421, в котором каждая цифра десятичного числа кодируется четырехразрядным двоичным числом - тетрадой. Цифры 8, 4, 2, 1 в обозначении кода – веса разрядов тетрады двоичных цифр. Десятичные цифры 0, 1,...,9 в ДДК 8421 изображаются соответствующими двоичными тетрадами 0000, 0001,...,1001. ДДК 8421 называется также кодом прямого замещения.

Алгоритмы преобразования двоичного кода (ДК) правильной дроби

$$A_2 = 0, a_1 a_2 a_3 \dots a_m = a_1 \cdot 2^{-1} + a_2 \cdot 2^{-2} + a_3 \cdot 2^{-3} + \dots + a_m \cdot 2^{-m}$$

в ДДК можно получить, используя представление числа в виде поочередных вложений (схема Горнера)[1]:

$$A_2 = (\dots((a_m 2^{-1} + a_{(m-1)}) \cdot 2^{-1} + \dots + a_2) \cdot 2^{-1} + a_1) \cdot 2^{-1}, \quad (1)$$

где $a_1, \dots, a_m$ – цифры двоичной правильной дроби A_2 , равные 0 или 1; m – число разрядов двоичной дроби.

Из (1) можно вывести два алгоритма преобразования ДК правильной дроби в ДДК. При преобразовании дроби из системы счисления с меньшим основанием в систему счисления с большим основанием удобным с точки зрения реализации аппаратными средствами является алгоритм, который, согласно (1), реализуется путем m -кратного умножения на 2^{-1} , т.е. деления на 2, и сложения. В первом цикле определяется произведение $a_m \cdot 2^{-1}$, во втором цикле

$(a_m \cdot 2^{-1} + a_{(m-1)}) \cdot 2^{-1}$ и т.д. После выполнения m циклов определяется ДДК дроби. При этом все действия должны выполняться в новой системе счисления, т.е. в ДДК 8421 по правилам десятичной арифметики [2].

Операция умножения на 2^{-1} выполняется путем сдвига числа в сторону младших разрядов (сдвиг вправо). Таким образом, преобразуемая двоичная дробь “вдвигается”, начиная с младших разрядов, в двоично-десятичную разрядную сетку со стороны старших разрядов, т.е. слева направо, как показано на рис.1.

Когда при сдвиге какая-либо единица переходит из одного двоично-десятичного разряда в другой, возникает ошибка. Действительно, разрядное значение этой единицы равно 10 единицам соседнего младшего разряда. В этом разряде она должна приобрести вес 5, а приобретает вес 8. Поэтому значение двоично-десятичных разрядов, в которые при сдвиге поступили единицы из соседних младших двоично-десятичных разрядов, должны корректироваться вычитанием из них $3_{10} = 0011_2$. Таким образом, при “вдвигании” двоичной дроби в двоично-десятичную разрядную сетку в каждом цикле выполняются операции умножения на 2^{-1} , сложения и коррекции. На рис.1 иллюстрируется преобразование дроби $0,1101_2$ в двоично-десятичную.

		Двоично-десятичная разрядная сетка															
Веса десятичных разрядов		$\times 10^{-1}$				$\times 10^{-2}$				$\times 10^{-3}$				$\times 10^{-4}$			
Веса разрядов тетрад		8	4	2	1	8	4	2	1	8	4	2	1	8	4	2	1
Двоичная дробь		0,1101															
Сдвиг ->		0,-110															
Коррекция -3		0,-110															
Сдвиг ->		0,--11															
Коррекция -3		0,--11															
Сдвиг ->		0,---1															
Коррекция -3		0,---1															
Сдвиг ->		0,----															
Коррекция -3		0,----															
		0,	8			1				2				5			(10)

Рис. 1. Пример преобразования дроби из ДК в ДДК

Преобразование правильной дроби из ДК в ДДК можно реализовать в последовательно-комбинационной схеме, сдвигая дробь вправо в двоично-десятичный регистр сдвига [3,4]. Каждый двоично-десятичный разряд регистра должен содержать элементарный преобразователь (ЭП). ЭП корректирует содержимое двоично-десятичного разряда регистра согласно соотношению:

$$Y = \begin{cases} X, & \text{если } 0 \leq X \leq 4, \\ X - 3, & \text{если } 8 \leq X \leq 12, \end{cases} \quad (2)$$

где $X=(x_4, x_3, x_2, x_1)$, $Y=(y_4, y_3, y_2, y_1)$,

x_4, x_3, x_2, x_1 – входные переменные ЭП, y_4, y_3, y_2, y_1 – выходные функции ЭП.

Соотношению (2) отвечает таблица истинности ЭП (табл.1).

Таблица 1

Таблица истинности ЭП.

№ п/п	x_4	x_3	x_2	x_1	y_4	y_3	y_2	y_1
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	1	0	0	0	0	1	0	1
6	1	0	0	1	0	1	1	0
7	1	0	1	0	0	1	1	1
8	1	0	1	1	1	0	0	0
9	1	1	0	0	1	0	0	1

Условное графическое обозначение (УГО) ЭП, имеющего четыре входа с весами 5,4,2,1 и четыре выхода с весами 8,4,2,1, показано на рис.2.

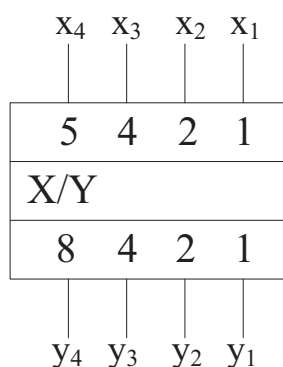


Рис. 2. УГО ЭП с 4-мя входами и 4-мя выходами

Преобразование ДК дроби в ДДК может выполняться точно, но число разрядов ДДК оказывается избыточным. Подавая на вход преобразователя максимальную дробь, можно выделить ЭП, которые являются лишними.

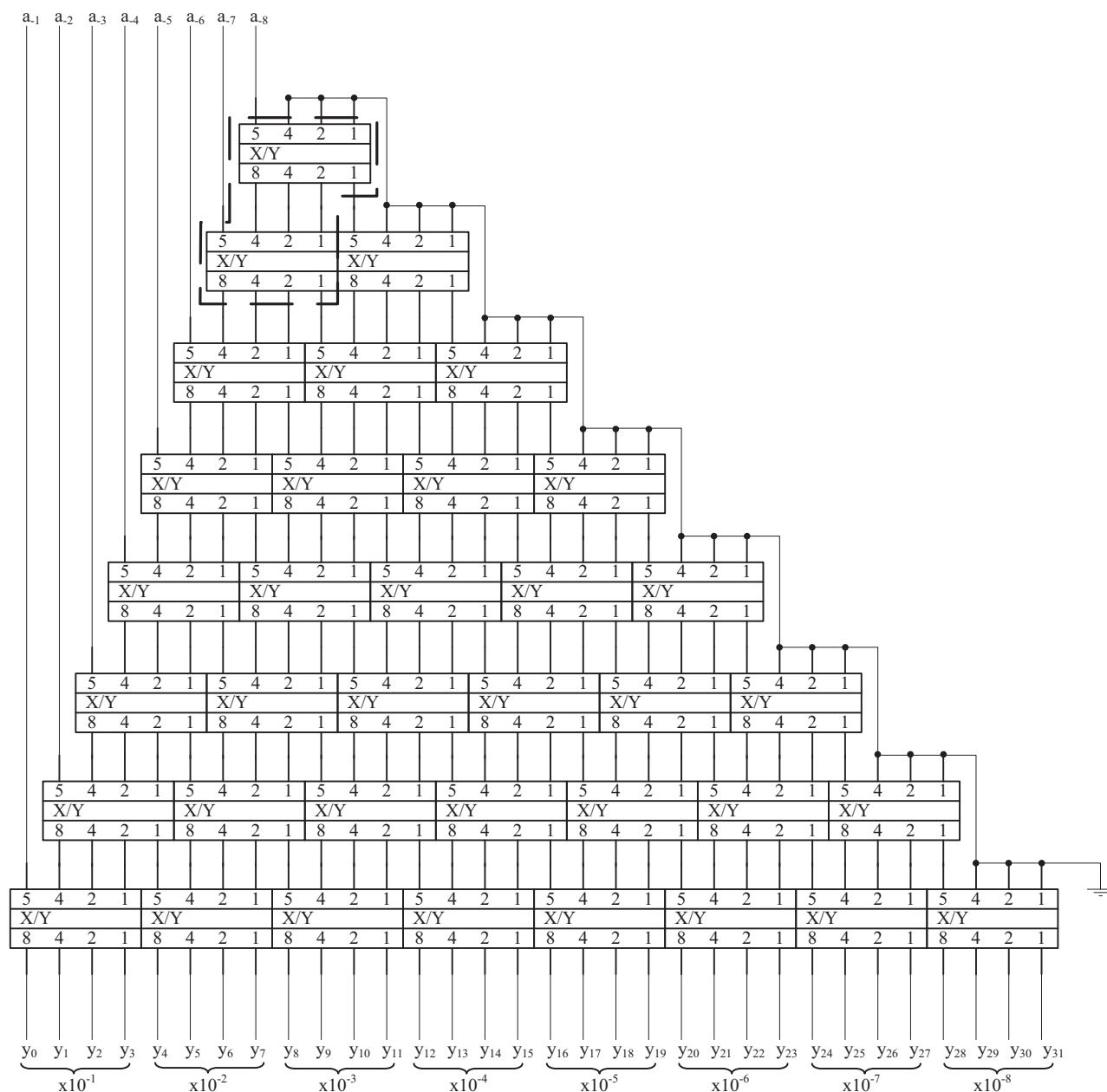


Рис. 3. Схема преобразования 8-разрядной двоичной правильной дроби на ЭП с 4-мя входами и 4-мя выходами

Преобразователи можно реализовать на интегральных схемах (ИС) SN54184, SN74183 фирмы Texas Instruments и отечественных К155ПР6. ЭП этих ИС выполняет функцию:

$$Y = \begin{cases} X, \text{ если } 0 \leq X \leq 4, \\ X - 3, \text{ если } 8 \leq X \leq 12, \\ X - 6, \text{ если } 16 \leq X \leq 20, \\ X - 9, \text{ если } 24 \leq X \leq 28 \end{cases}$$

и заменяет два ЭП с четырьмя входами и четырьмя выходами. На рис.3 пример такого объединения показан пунктирной линией.

Однако эти ИС являются неперспективными, имеют большое время задержки (35-40 нс) и значительную потребляемую мощность (более 200 мВт на корпус).

Высокие эксплуатационные параметры можно обеспечить, применяя технологию проектирования цифровых устройств с использованием программируемых логических интегральных схем (ПЛИС). В настоящее время десятки фирм занимаются разработкой и производством ПЛИС. Ведущими являются фирмы Xilinx, Altera, Atmel и др.

Высокими функциональными возможностями обладают ПЛИС типа FPGA (Field Programmable Gate Arrays). ПЛИС типа FPGA содержит следующие основные блоки:

- конфигурируемые логические блоки КЛБ (CLB – Configurable Logic Block);
- блоки ввода-вывода (IOB – Input/Output Block);
- межсоединения (IC - Interconnection) в виде прямоугольной сетки металлических проводников, в местах пересечения которых размещены программируемые переключательные матрицы (PSM – Programmable Switch Matrix).

CLB предназначены для реализации логических и регистровых операций в ПЛИС. Основными элементами CLB являются табличный преобразователь (LUT – Look Up Table) в виде блока адресной памяти с произвольным доступом, схемы ускоренного переноса, триггер и мультиплексоры.

CLB размещены по всей площади кристалла и их число – основной параметр, определяющий функциональные возможности ПЛИС, различно для каждой ИС семейства ПЛИС.

ПЛИС фирмы Xilinx имеет широкий набор серий ПЛИС. Серия Spartan характеризуется низкой стоимостью при достаточно высоких функциональных возможностях. Плис семейства Spartan-2 и Spartan-3 содержат по две секции (Slice), каждая секция содержит два LUT с четырьмя адресными входами. LUT позволяет формировать любую функцию алгебры логики (ФАЛ) четырех переменных. Задержка LUT постоянна и не зависит от реализуемой ФАЛ. В соответствии с теоремой разложения Шеннона, используя два LUT секции и мультиплексор, можно реализовать ФАЛ пяти

переменных, а при включении двух секций и мультиплексоров в них – ФАЛ шести переменных. CLB ПЛИС семейства Spartan-6 содержит две секции, каждая из секций имеет два LUT с шестью входами. LUT позволяет реализовать ФАЛ шести переменных, а при их объединении – ФАЛ семи и восьми переменных.

CLB ПЛИС семейства Virtex-2 содержит 4 секции по два LUT с четырьмя входами в каждой и мультиплексором. В одном CLB можно реализовать ФАЛ семи переменных. CLB ПЛИС семейства Virtex-6 содержит LUT с шестью входами, что позволяет реализовать ФАЛ 8 переменных внутри одного CLB. ПЛИС семейства Virtex характеризуется высокими функциональными возможностями, но имеют высокую стоимость, поэтому был сделан выбор в пользу ПЛИС серии Spartan.

Объединение по 4 ЭП с четырьмя входами и четырьмя выходами в ЭП с семью входами и семью выходами показано на рис. 4.

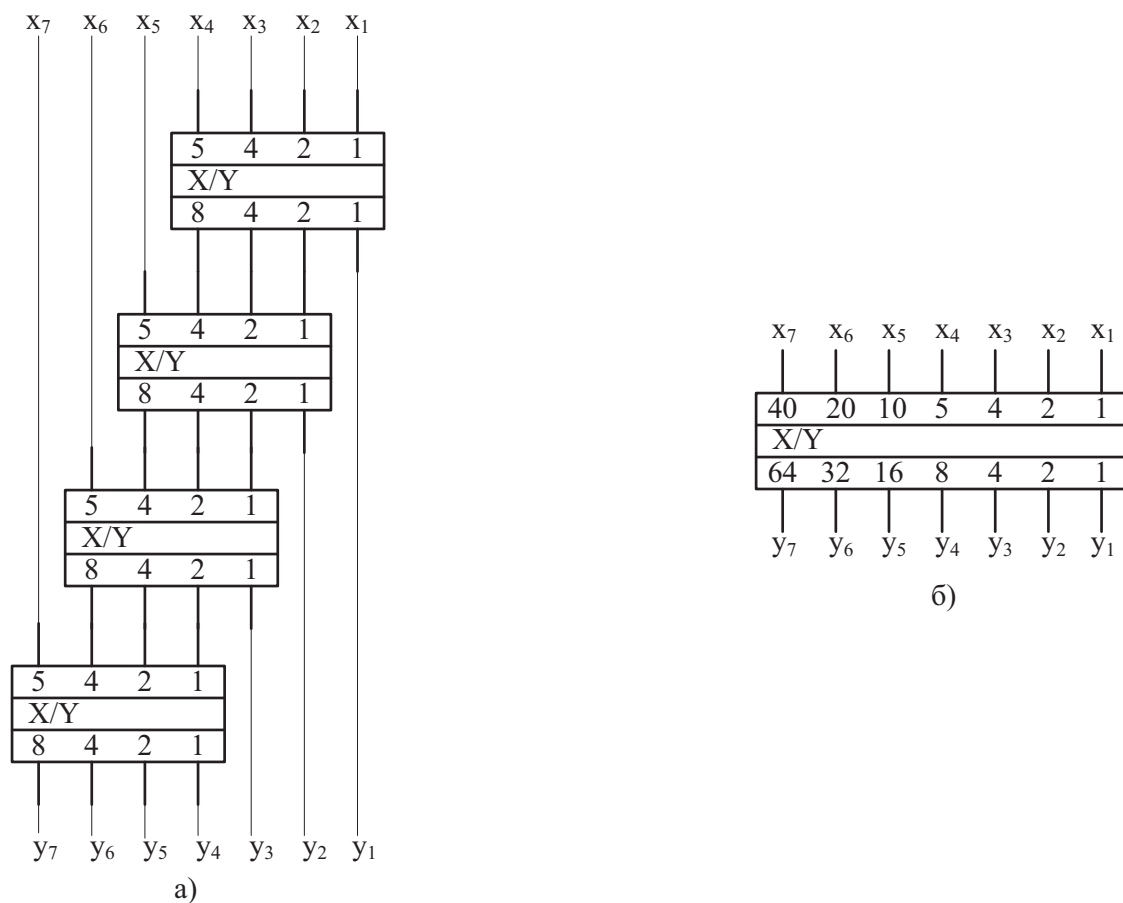


Рис. 4. Элементарный преобразователь с семью входами и семью выходами:
а - схема объединения 4 ЭП с четырьмя входами; б - УГО ЭП с семью входами и семью выходами

Такой ЭП выполняет функцию:

$$Y = \begin{cases} X, & \text{если } 0 \leq X \leq 4, \\ X - 3, & \text{если } 8 \leq X \leq 12, \\ X - 6, & \text{если } 16 \leq X \leq 20, \\ X - 9, & \text{если } 24 \leq X \leq 28, \\ X - 12, & \text{если } 32 \leq X \leq 36, \\ X - 15, & \text{если } 40 \leq X \leq 44, \\ X - 18, & \text{если } 48 \leq X \leq 52, \\ X - 21, & \text{если } 56 \leq X \leq 60, \\ X - 24, & \text{если } 64 \leq X \leq 68, \\ X - 27, & \text{если } 72 \leq X \leq 76, \\ X - 30, & \text{если } 80 \leq X \leq 84, \\ X - 33, & \text{если } 88 \leq X \leq 92, \\ X - 36, & \text{если } 96 \leq X \leq 100, \\ X - 39, & \text{если } 104 \leq X \leq 108, \\ X - 42, & \text{если } 112 \leq X \leq 116, \\ X - 45, & \text{если } 120 \leq X \leq 124. \end{cases}$$

На рис. 5 приведена схема 16-разрядного преобразователя на ЭП с семью входами и семью выходами.

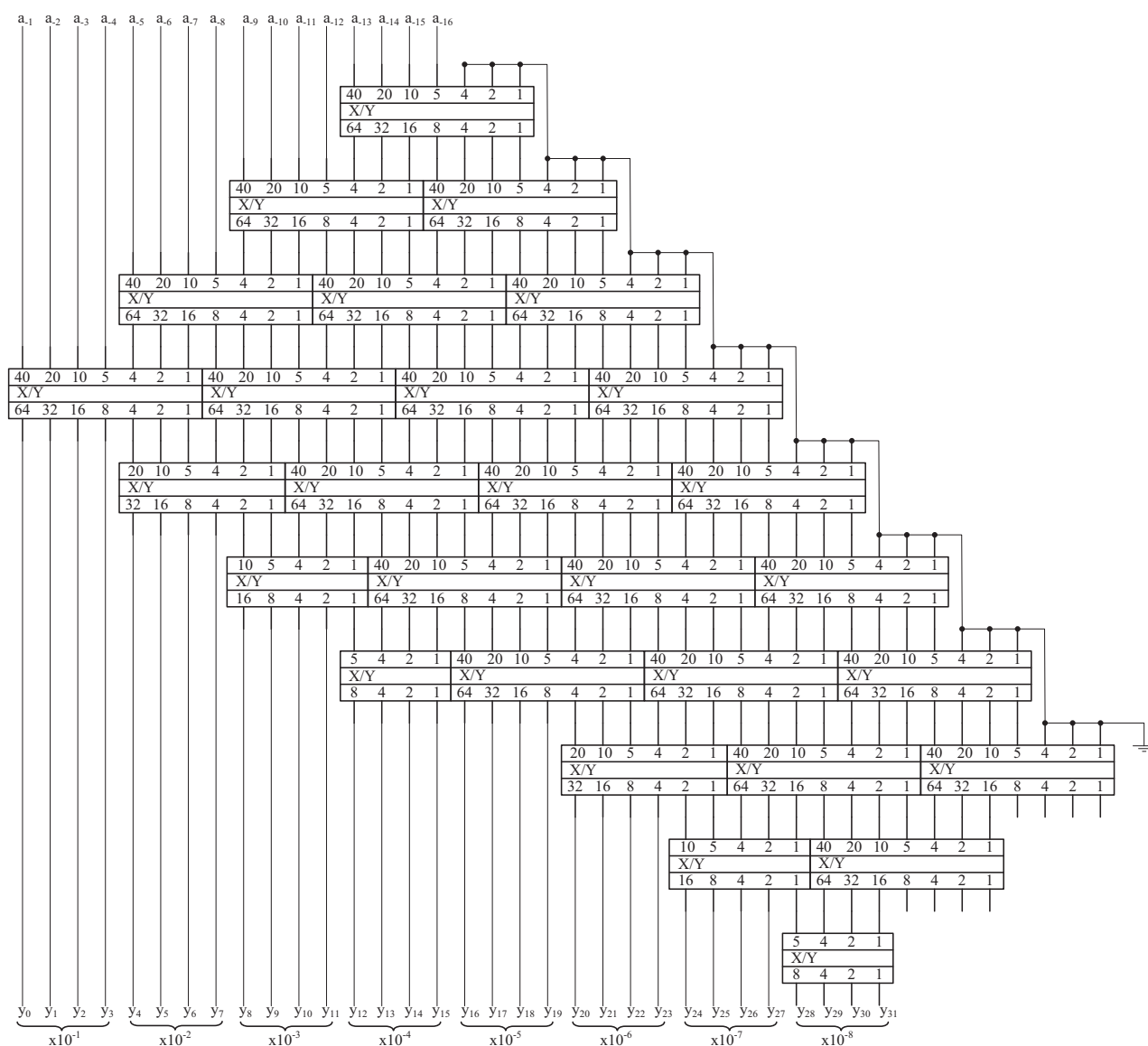


Рис. 5. Схема 16-разрядного преобразователя на ЭП с семью входами

В выходных каскадах некоторые ЭП с семью входами имеют неиспользуемые входы и на рис.5 они показаны как ЭП с меньшим числом входов.

Оценка быстродействия и потребляемой мощности выполнялась по результатам моделирования 32-разрядного преобразователя ДК правильной дроби в ДДК, построенного на ЭП с семью входами и семью выходами, в среде iSim, входящей в состав пакета САПР ISE Xilinx. Результаты моделирования сведены в табл. 2.

Таблица 2

Результаты моделирования 32-разрядного преобразователя.

Тип ПЛИС	Spartan-3	Spartan-6	
Тип ЭП	4-входовой	4-входовой	7-входовой

Задержка в одном ЭП	6,75 нс	6,67 нс	6,9 нс
Задержка полная (Логическая/связи)	47,32 нс (45%/55%)	44,56 нс (50%/50%)	35,7 нс (23%/77%)

Результаты моделирования показывают, что задержка распространения сигналов в преобразователе с учетом буферных элементов ввода-вывода при использовании 7-входовых ЭП составляет ~36 нс, что на 25% меньше задержки при реализации на 4-входовых ЭП. Статическая потребляемая мощность 32-разрядного преобразователя составляет 0,017 Вт, динамическая потребляемая мощность – 0,034 Вт, полная потребляемая мощность – 0,051 Вт. Количество используемых LUT при его реализации на 4-входовых ЭП составляет, примерно, 540, а на 7-входовых – 340.

Список литературы

1. Савельев А.Я. Арифметические и логические основы цифровых автоматов. М.: Высшая школа, 1980. 255 с.
2. Жирков В.Ф., Маянц А.Ю. Алгоритм преобразования двоичного кода правильных дробей в двоично-десятичный код и его реализация аппаратными средствами комбинационного типа // Вестник МГТУ им. Н.Э. Баумана. Сер. Приборостроение. 2010. СВ-№4. С. 106—114.
3. Проектирования импульсных и цифровых устройств радиотехнических систем: Учебное пособие / Под ред. Ю.М. Казаринова. М.: Высшая школа, 1985. 319 с.
4. Карцев М.А. Арифметика цифровых машин. М.: Наука, 1969. 576 с.